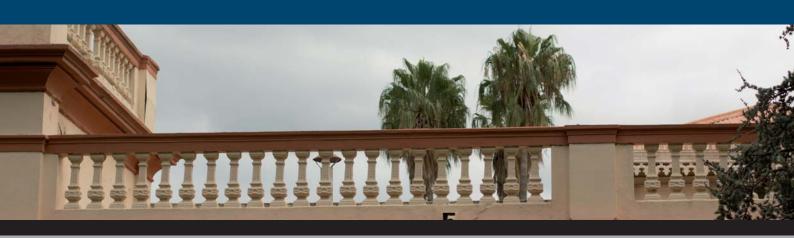
Universidad Blas Pascal Publicaciones de la UBP

Serie Materiales de Investigación



Puente Vectorial Balanceado

José Luis Galoppo¹, Daniel Rabinovich²

Centro de Investigación Aplicada y Desarrollo en Informática y Telecomunicaciones (CIADE-IT)

¹Profesor Asociado de Plantel Exterior y de Transmisión por Conductores, Ing. en Telecomunicaciones

²Profesor Adjunto de Mediciones Electrónicas, Ing. en Telecomunicaciones



Puente Vectorial Balanceado

José Luis Galoppo 1 , Daniel Rabinovich 2

Centro de Investigación Aplicada y Desarrollo en Informática y Telecomunicaciones (CIADE-IT)

¹Profesor Asociado de Plantel Exterior y de Transmisión por Conductores, Ing. en Telecomunicaciones

²Profesor Adjunto de Mediciones Electrónicas, Ing. en Telecomunicaciones

Puente Vectorial Balanceado

José Luis Galoppo¹, Daniel Rabinovich²

Centro de Investigación Aplicada y Desarrollo en Informática y Telecomunicaciones (CIADE-IT)

¹Profesor Asociado de Plantel Exterior y de Transmisión por Conductores, Ing. en Telecomunicaciones
jlgaloppo@yahoo.com.ar

²Profesor Adjunto de Madjoines Electrónicas Ing. en Telecomunicaciones

²Profesor Adjunto de Mediciones Electrónicas, Ing. en Telecomunicaciones rabinovichdaniel@gmail.com

Resumen—Este documento presenta el desarrollo, desde la teoría hasta la construcción, de un puente para la medición vectorial de dipolos y cuadripolos balanceados. Este trabajo surge de la necesidad de medir las características de las líneas telefónicas para la aplicación de la tecnología ADSL.

Abstract—This document presents the development, from the theory to the construction, of a bridge for vector measurement of balanced dipoles and quadrupoles. This work stems from the need to measure the characteristics of telephone lines for the implementation of ADSL technology.

Palabras Claves—Puente, impedancia compleja, coeficiente de reflexión, ADSL.

I. Introducción

La construcción de este equipo electrónico permitió disponer de un instrumento para medir las características de líneas telefónicas y poder determinar de antemano su capacidad para implementar en ellas la tecnología ADSL.

El equipo consta de 3 placas electrónicas. Figura 1.

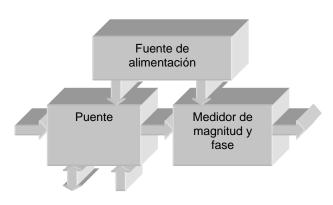


Fig. 1 El puente vectorial balanceado consta de 3 placas.

Una placa puente donde se <u>implementa</u>, en primer término, un balún electrónico para convertir de desbalanceada a balanceada la señal provista por un generador senoidal exterior. Sigue el puente balanceado propiamente dicho que permite tomar la tensión incidente y reflejada sin alterar la simetría de la carga. Finalmente un grupo de cuatro amplificadores diferenciales con salida desbalanceada que entregan tensiones proporcionales a las tensiones incidente, reflejada, de entrada y de salida.

Una placa medidora donde se monta el CI AD8302 con su electrónica complementaria. Este CI es un detector de ganancia y fase. A la entrada se aplican dos señales sinusoidales provenientes del puente y a la salida entrega dos

señales de corriente continua análogas a la relación de magnitud en dB y fase en º respectivamente.

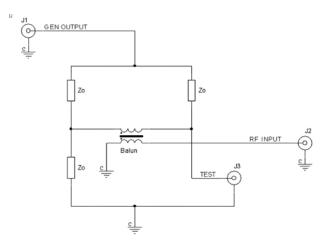


Fig. 2 Puente de reflexión implementado en el accesorio ROE R&S FSH-Z2 del analizador de espectro FSH6

La tercera placa es una fuente de alimentación regulada con salidas de 12V y 5V.

La idea original se deriva del documento [1] y del puente implementado en el accesorio ROE R&S FSH-Z2 del analizador de espectro FSH6, Figura 2. Este puente es solo apto para cargas desbalanceadas.

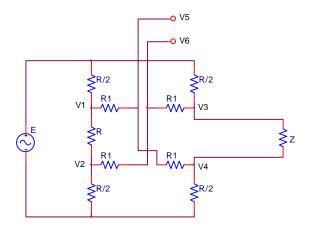


Fig. 3 Puente de reflexión balanceado resistivo, donde R1>>R

II. TEORÍA

Lo que sigue es una demostración, original del grupo, que prueba que $(V_5-V_6)/E$ es proporcional al coeficiente de reflexión de la impedancia Z referida a $Z_0=R$. El análisis está vinculado a la Figura 3.

Se calcula V₁ y V₂

$$V_1 = \left(\frac{E}{2R}\right) \frac{3R}{2} = \frac{3E}{4} \qquad V_2 = \left(\frac{E}{2R}\right) \frac{R}{2} = \frac{E}{4}$$

Se define la impedancia de carga normalizada con R como

z = Z/R, se calcula V_3 , V_4 , V_5 y V_6

$$V_{3} = \left(\frac{E}{R+Z}\right) \left(\frac{R}{2} + Z\right) = \frac{E}{1+z} (0,5+z)$$

$$V_{4} = \left(\frac{E}{R+Z}\right) \frac{R}{2} = \frac{E}{1+z} 0,5$$

$$V_{6} = \frac{V_{2} + V_{3}}{2} = \frac{E}{2} \left(\frac{1}{4} + \frac{0,5+z}{1+z}\right)$$

$$V_{5} = \frac{V_{1} + V_{4}}{2} = \frac{E}{2} \left(\frac{3}{4} + \frac{0,5}{1+z}\right)$$

se opera con V₅-V₆ hasta reducirlo

$$V_{5} - V_{6} = \frac{E}{2} \left(\frac{3}{4} - \frac{1}{4} + \frac{0.5}{1+z} - \frac{0.5+z}{1+z} \right)$$

$$V_{5} - V_{6} = \frac{E}{2} \left(\frac{2}{4} + \frac{-z}{1+z} \right) = \frac{E}{2} \left(0.5 + \frac{-z}{1+z} \right)$$

$$V_{5} - V_{6} = \frac{E}{2} \left(\frac{0.5+0.5z-z}{1+z} \right) = \frac{E}{2} \left(\frac{0.5-0.5z}{1+z} \right)$$

$$V_{5} - V_{6} = \frac{E}{4} \left(\frac{1-z}{1+z} \right) = \frac{E}{4} \Gamma$$

$$\text{por lo tanto } \Gamma = \frac{V_{5} - V_{6}}{E}$$

$$\text{como } \Gamma = \frac{V_{REF}}{V_{INC}} \text{ queda que}$$

$$V_{REF} = k(V_{5} - V_{6}) \text{ y } V_{INC} = k \frac{E}{4}$$

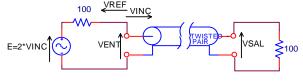


Fig. 4 Definición de magnitudes para un cuadripolo

Esto es, medir V_5 - V_6 y E/4 me permite conocer V_{REF} y V_{INC} a través de la misma constante de proporcionalidad.

III. ESQUEMA DE MEDICIÓN

A. Definición de Magnitudes

El Puente Vectorial Balanceado está concebido para medir la magnitud y la fase de cualquier relación entre tensión incidente, tensión relejada, tensión de entrada y tensión de salida, por ejemplo $V_{\text{REF}}/V_{\text{INC}}, \, V_{\text{SAL}}/V_{\text{INC}}, \, V_{\text{SAL}}/V_{\text{ENT.}}$ Figura 4 y Figura 5.

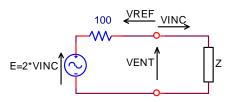


Fig. 5 Definición de magnitudes para un dipolo.

B. Arreglo de medición

Además del Puente Vectorial, el arreglo de medición incluye un generador de señales sinusoidales y un voltímetro. Figura 6.

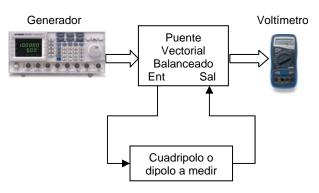


Fig. 6 Arreglo de medición. Si es un dipolo solo se conecta a Ent.

IV. PLACA DEL PUENTE

A. Análisis del Circuito

En la Figura 7 se muestra el circuito, realizado en Orcad para poder ser simulado por PSPICE.

Los dos amplificadores operacionales de la izquierda, convierten la señal sinusoidal desbalanceada que se aplica en J3, en una señal balanceada entre los pines 6 de ambos operacionales.

Esta señal excita al puente compuesto por R3, R4, R16 y R17. Esta misma señal es escalada apropiadamente por U3 entregando una señal respecto a tierra proporcional a $V_{\rm INC}$.

Cuando la impedancia conectada a J1 es igual a 100Ω (R11), la salida balanceada derivada de la unión entre R7-R15 y R14-R8 es nula, por lo tanto representa a V_{REF} como se demostró en el análisis teórico. La misma es escalada por U2 entregando una señal desbalanceada proporcional a V_{REF} .

U5 amplifica entrega en forma desbalanceada una señal proporcional a $V_{\rm ENT}.$

U6 repite lo mismo para V_{SAL}.

Como todo el puente R3-R4-R11-R16-R17 y el circuito a medir, representan una impedancia bastante baja, alrededor de los 50 para U1 y U4, estos amplificadores operacionales deben ser capaces de manejarla y también de poseer una

respuesta en frecuencia lo más amplia posible. Para esta función se selecciona el amplificador operacional AD844A.

Las características del AD844A se pueden encontrar en el siguiente link: http://www.analog.com/en/other-products/militaryaerospace/ad844/products/product.html

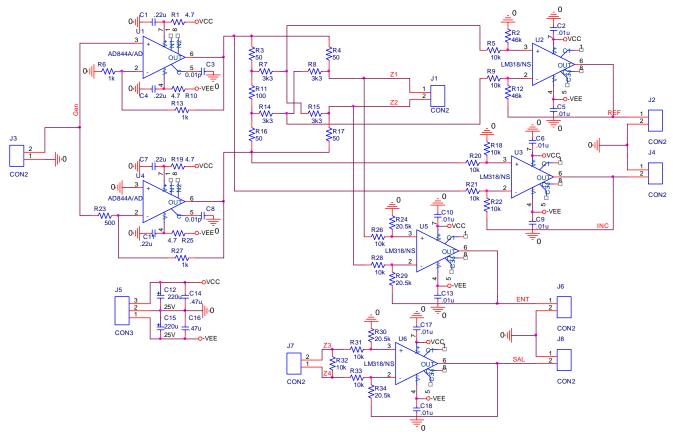


Fig. 7 Esquemático del circuito para la placa Puente hecho en ORCAD para poder ser simulado con PSPICE.

B. Simulación

Con el PSPICE se simula repetidamente el circuito con diferentes cargas, Figura 8.

Las cargas de prueba se conectan en J1 cuando es un dipolo y entre J1 y J7 cuando es un cuadripolo.

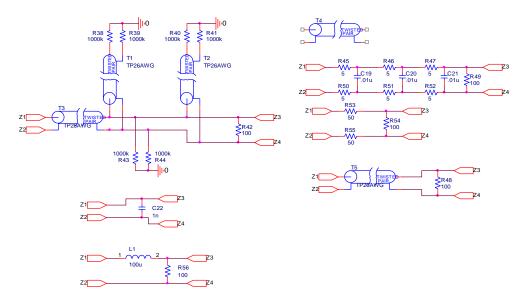


Fig. 8 Diferentes cargas de prueba que se emplearon para simular el comportamiento del circuito Puente con el PSPICE.

Los resultados de simulación, se pueden mostrar en distintos formatos, ya sea como Bode o carta de Smith.

En la Figura 9, se muestra el resultado de simular con el PSPICE una carga capacitiva de 10nF en J1, a la izquierda el

coeficiente de reflexión en fase y modulo, y a la derecha en forma de Carta de Smith.

Los resultados de las simulaciones fueron muy satisfactorios.

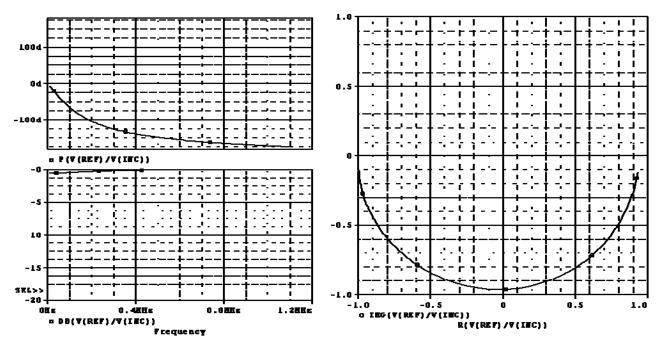


Fig. 9 Simulación con PSPICE del circuito de la placa Puente al que se conectó un capacitor de 10nF. A la izquierda el Bode y a la derecha en formato de carta de Smith.

V. PLACA DEL MEDIDOR

El circuito de la placa Puente entrega señales sinusoidales referidas a tierra (desbalanceadas), proporcionales y respetando la fase original de V_{REF} , V_{INC} , V_{REF} , V_{ENT} , y V_{SAL} .

Determinar la relación de amplitud y fase entre ellas puede ser una tarea ardua a menos que se disponga de un osciloscopio digital con cursores.

Para facilitar el trabajo de la medición se diseña una placa Medidor basada en el CI AD8302, que provee directamente salidas de corriente continua, relacionadas en forma muy sencilla con la relación de magnitud en dB y la fase en o sexagesimales. Las características del AD8302 se pueden encontrar en el siguiente link: http://www.analog.com/en/rfif-components/log-mpsdetectors/ad8302/products/product.html

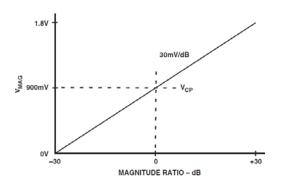


Fig. 10 Característica idealizada de la relación de magnitud.

VII. DISEÑO Y FABRICACIÓN DE LAS PLACAS

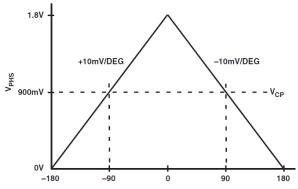


Fig. 11 Característica idealizada de la relación de fase.

En la Figura 10 y 11, se muestran las características de transferencia idealizadas de VMAG y VPHS en función de las relaciones de magnitud y de fase de las entradas INPA y INPB.

VI. PLACA DE LA FUENTE

La fuente provee $\pm 12V$ regulados para alimentar a los amplificadores operacionales, y 5V regulados para alimentar al AD8302.

El diseño de las 3 placas; Puente, Medidor y Fuente se realizó con Protel DXP2004.

Las placas son doble faz con through holes

En el Anexo A se presentan los circuitos y PCB correspondientes y fotografías.

VIII. MEDICIONES

En el Anexo B se presentan resultados de mediciones, algunas comparadas con los resultados ideales calculados.

IX. CONCLUSIONES

El circuito funcionó bien, aunque por debajo de las expectativas.

Los errores en la medición de fase fueron mayores a los esperados. En algunas frecuencias superiores a los 10°.

Los errores de magnitud fueron bajos, no mayores que 2dB.

Una causa es el integrado AD8302, en la zona cercana a 0° tiene un error importante. En la Figura 12 se muestra el error por no linealidad que alcanza al 8% y en la Figura 13 los 3σ a ambos lados de la media de fabricación, que pueden ser mayores que el 10%.

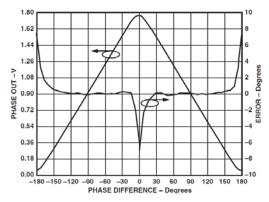


Fig. 12 SalidaVPHS y la no linealidad respecto a la diferencia de fase de entrada, nivel de entrada -30dBm, frecuencia 100MHz.

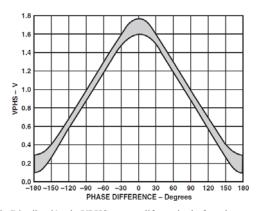


Fig. 13 Distribución de VPHS versus diferencia de fase de entrada, 3σ a ambos lados del valor promedio, frecuencia 900MHz, nivel de entrada - 30dBm.

La otra razón fue el comportamiento no adecuado de los amplificadores operacionales LM318N en el extremo superior de la banda ADSL, 1.1MHz.

En el diseño no se tuvo en cuenta, y en la simulación no fue notable, que el defasaje de la tensión entre la entrada y la salida de los mismos no solo dependía de la frecuencia sino también de la ganancia y de la amplitud de las señales.

La dependencia de la ganancia se podría haber evitado con cambios simples en el diseño.

Implementar la misma ganancia en todos los amplificadores diferenciales, aquella necesaria para V_{REF} que es la señal más pequeña, y implementar atenuadores resistivos en la relación adecuada antepuestos a los restantes amplificadores operacionales.

RECONOCIMIENTOS

Se agradece a la empresa Semak por la donación desinteresada de los circuitos integrados AD844A y AD8302.

También al ingeniero Raúl Echegaray y al ingeniero Nestor Pisciotta que colaboraron con sus ideas y apoyo.

A los alumnos Diego Maravankin, Gonzalo Alcaráz, Alvaro Diaz Cornejo y Paris, que participaron en las mediciones para evaluar el equipo.

REFERENCIAS Y BIBLIOGRAFÍA

- [1] Bernado Celaya de la Torre, "DSL Line Tester Using Wideband Frequency Domain Reflectrometry", Tesis de maestría, University of Saskatchewan, Saskatoon, Canadá, August 2004.
- [2] Thomas Starr, John M. Cioffi, "Understanding Digital Subscriber Line Technology", Prentice Hall, 1999.
- [3] Edson Brito Jr., Lamartine V.de Souza, Éder T. Patrício, Agostinho L. Castro, Gervásio P. dos S. Cavalcante, and João Crisóstomo W. A. Costa, "A Methodology for Measurements of the ADSL Copper Loop Parameters" DSL VI International Telecommunications Symposium (ITS2006), September 3-6, 2006, Fortaleza-CE, Brazil.

ANEXO A

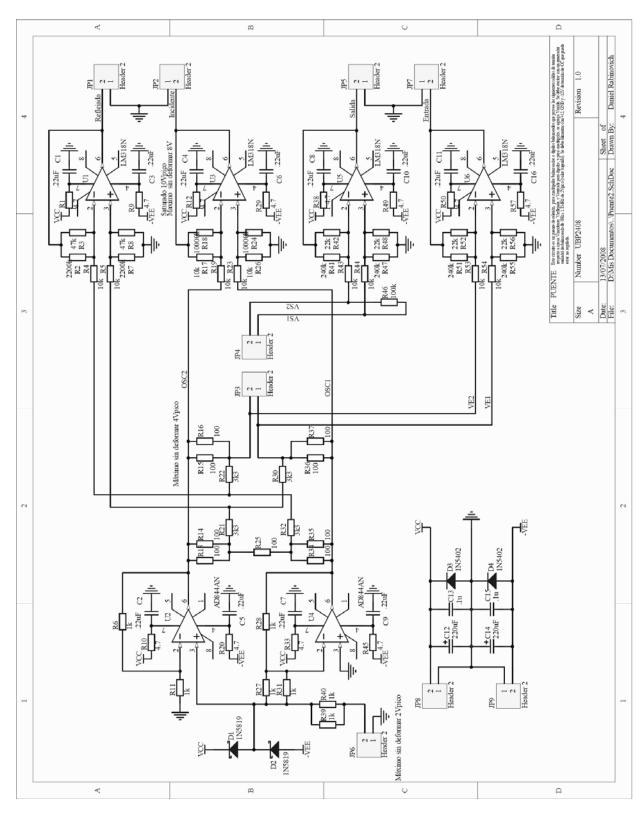


Fig. 1 Esquemático de la placa Puente

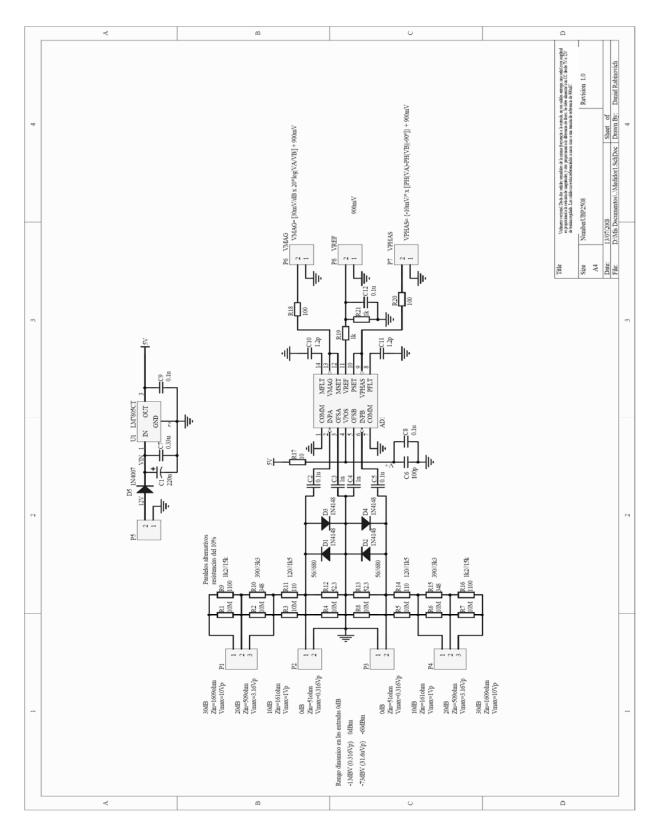


Fig. 2 Esquemático de la placa Medidor

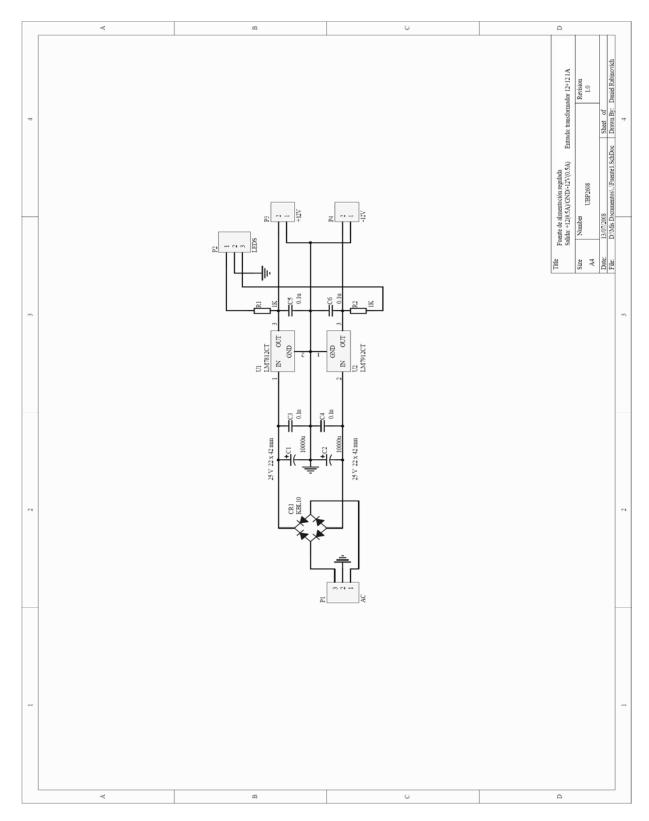


Fig. 3 Esquemático de la placa Fuente

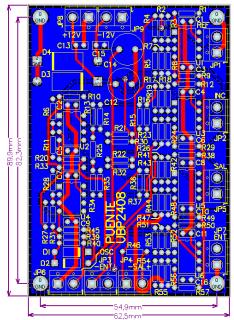


Fig. 4 PCB placa Puente, escala 1:1

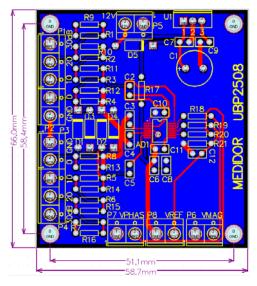


Fig. 5 PCB de la placa Medidor, escala 1:1

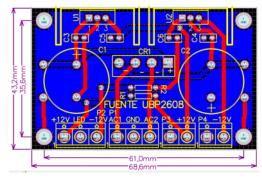


Fig. 6 PCB de la placa Fuente, escala 1:1

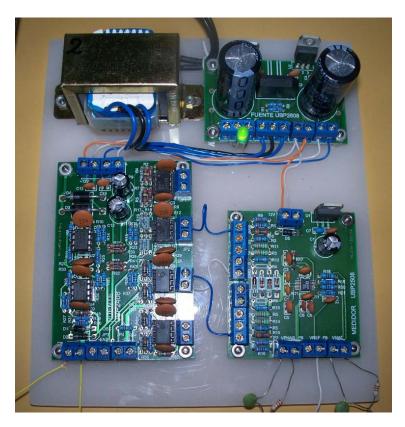


Fig. 7 Fotografías

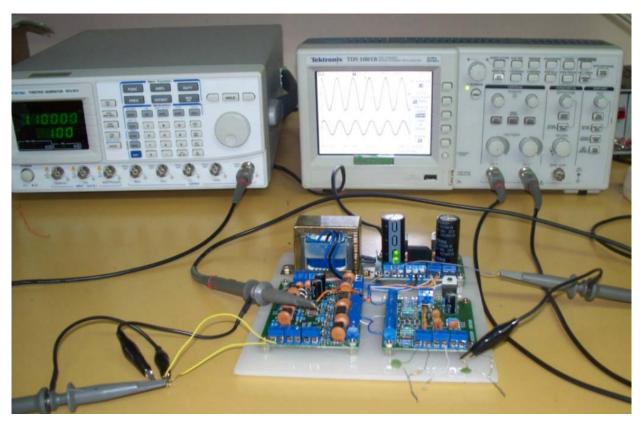


Fig. 8 Fotografías

Ejemplos de mediciones:

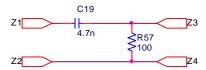
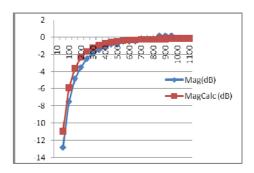
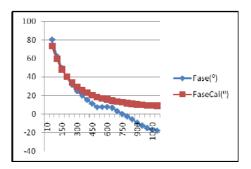


Fig. 1 Función de transferencia Vsal/Vinc de un filtro pasa alto





 $\underline{Nota:}$ en todos los gráficos las unidades de los valores de abscisa son kHz Fig. 2 Ejemplos de mediciones

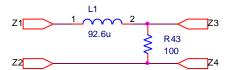
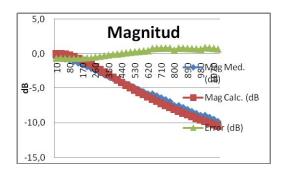


Fig. 3 Función de transferencia Vsal/Vinc de un filtro pasa bajo



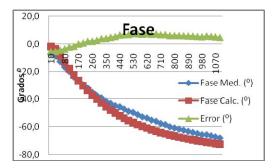


Fig. 4 Impedancia característica de una línea telefónica de 1km por el método corto-circuito/circuito-abierto

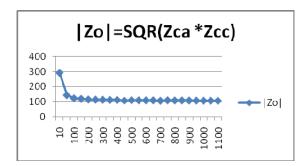


Fig. 5 Ejemplo de mediciones

Secretaria de Investigación Sede Campus UBP Tel: 0351-414-4444 int. 511 E-mail: investigacion@ubp.edu.ar



Sede Centro UBP

Lima 363 - Córdoba Tel: 0351 - 414 4555 Fax 0351 - 414 4400 E:mail: informes@ubp.edu.ar



Sede Campus UBP

Av. Donato Álvarez 380 - 5147 Argüello, Córdoba Tel: 0351 - 414 4444 - Fax 0351 - 414 4400 E:mail: informes@ubp.edu.ar